

PAT-NO: JP402288292A
DOCUMENT-IDENTIFIER: JP 02288292 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: November 28, 1990

INVENTOR-INFORMATION:

NAME

SUGANO, TOSHIO
TSUKUI, SEIICHIRO
SUZUKI, SHIGERU

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD
HITACHI TOBU SEMICONDUCTOR LTD

COUNTRY

N/A
N/A

APPL-NO: JP01107676

APPL-DATE: April 28, 1989

INT-CL (IPC): H05K001/18, H01L025/00 , H01L025/10 ,
H01L025/18

US-CL-CURRENT: 439/83

ABSTRACT:

PURPOSE: To enable the oblique mounting at the angle corresponding to the height limitation of mounting space so as to realize high density mounting high in reliability by mounting semiconductor elements on both faces of a substrate so that the semiconductor element on one face may be positioned farther from an external electrode at the edge face of the substrate than the semiconductor element on the other face.

CONSTITUTION: A semiconductor device 1 is of structure where a plurality of pieces of SOJ (small outline J-bend package)-shaped semiconductor elements 3a and 3b are mounted on both primary faces 2a and 2b of a printed wiring substrate 2 in multilayer interconnection structure, and is mainly used as a memory module for computer, etc. The semiconductor element 3a mounted on the top 2a of the substrate 2 is mounted being slid by the amounts of 1-m from the position corresponding to the semiconductor element 3b mounted on the bottom 2b to the position near an external electrode terminals 5. The mounting of the semiconductor elements 3a and 3b on the substrate 2 is done by fixing J-shaped leads 4a and 4b projected from the semiconductor elements 3a and 3b to the electrode pads 8a and 8b on the substrate 2 with solder, etc.

COPYRIGHT: (C)1990, JPO&Japio

⑫ 公開特許公報(A)

平2-288292

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)11月28日

H 05 K 1/18
H 01 L 25/00S
A6736-5E
7638-5F
7638-5F

H 01 L 25/10

Z※

審査請求 未請求 請求項の数 20 (全10頁)

⑭ 発明の名称 半導体装置

⑰ 特 願 平1-107676

⑱ 出 願 平1(1989)4月28日

⑲ 発 明 者 菅 野 利 夫 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内

⑲ 発 明 者 津 久 井 誠 一 郎 埼玉県入間郡毛呂山町大字旭台115番地 日立東部セミコンダクタ株式会社内

⑲ 発 明 者 鈴 木 茂 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 出 願 人 日立東部セミコンダクタ株式会社 埼玉県入間郡毛呂山町大字旭台15番地

⑲ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 主面及び裏面と、一側端に外部電極を備えた基板と、

前記基板の主面及び裏面に実装され、かつ前記外部電極と電気的に導通された複数個の半導体素子において、前記基板の主面に実装された半導体素子は、基板の裏面に実装された半導体素子に対面する位置よりも、前記外部電極が形成された一側端側に実装されていることを特徴とする半導体装置。

2. 前記半導体装置は、更に前記基板を実装するための装着部と、電気的導通をとるための外部端子部とからなるソケット部材を有することを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 更に外部と電気的導通をとるための接続端子部と、前記ソケット部材を実装するための実装

部とからなる第1の基板を有することを特徴とする特許請求の範囲第2項記載の半導体装置。

4. 前記第1の基板を少なくとも1つ実装するための第2の基板を有することを特徴とする特許請求の範囲第3項記載の半導体装置。

5. 前記半導体素子は、主面に回路および外部端子が形成された半導体ペレットと、

前記外部端子と金属細線によって電気的に接続されたリードとからなり、

前記半導体ペレット、金属細線、リードの一部を樹脂によって封止されたものであることを特徴とする特許請求の範囲第1項記載の半導体装置。

6. 更に外部と電気的導通をとるための接続端子部と、前記基板の外部電極が挿入される実装とからなる第1の基板を有することを特徴とする特許請求の範囲第1項記載の半導体装置。

7. 更に前記第1の基板を少なくとも1つ実装するための第2の基板を有することを特徴とする特許請求の範囲第6項記載の半導体装置。

8. 前記基板は、4つの樹脂層からなることを特徴とする特許請求の範囲第1項記載の半導体装置。

9. 前記樹脂層はガラスエポキシ樹脂材からなることを特徴とする特許請求の範囲第8項記載の半導体装置。

10. 前記樹脂のうち1つは電源電圧端子(Vcc)であり、他の1つは基準電圧端子(Vss)であることを特徴とする特許請求の範囲第8項記載の半導体装置。

11. 主面及び裏面、長辺及び短辺から成り、前記長辺の片側に外部電極を備えた方形状の基板と、

長辺及び短辺から成り、長辺側が前記基板の短辺と平行に、短辺側が前記基板の長辺と平行になり、更に前記基板の主面及び裏面に実装される半導体素子と、

前記外部電極と半導体素子を電気的に接続するための、前記基板の主面及び裏面に形成された配線パターンからなる半導体装置において、

端子が形成された半導体ペレットと、

前記外部端子と金属細線によって電気的に接続されたリードとからなり、

前記半導体ペレット、金属細線、リードの一部を樹脂によって封止されたものであることを特徴とする特許請求の範囲第11項記載の半導体装置。

16. 更に外部と電気的導通をとるための接続端子部と、前記基板の外部電極が挿入される実装とからなる第1の基板を有することを特徴とする特許請求の範囲第11項記載の半導体装置。

17. 更に前記第1の基板を少なくとも1つ実装するための第2の基板からなることを特徴とする特許請求の範囲第16項記載の半導体装置。

18. 前記基板は、4つの樹脂層からなることを特徴とする特許請求の範囲第11項記載の半導体装置。

19. 前記樹脂層は、ガラスエポキシ樹脂材からなることを特徴とする特許請求の範囲第18項記載の半導体装置。

前記基板の主面に実装された半導体素子の、前記外部電極に近接した方の短辺から、前記外部端子までの距離は、前記基板の裏面に実装された半導体素子の、前記外部電極に近接した方の短辺から、前記外部端子までの距離よりも小さくなるように設定されていることを特徴とする半導体装置。

12. 更に前記基板を実装するための装着部と、電気的導通をとるための外部端子部とからなるソケット部材を有することを特徴とする特許請求の範囲第11項記載の半導体装置。

13. 更に外部と電気的導通をとるための接続端子部と、前記ソケット部材を実装するための実装部とからなる第1の基板を有することを特徴とする特許請求の範囲第12項記載の半導体装置。

14. 更に前記第1の基板を少なくとも1つ実装するための第2の基板を有することを特徴とする特許請求の範囲第13項記載の半導体装置。

15. 前記半導体素子は、主面に回路および外部

20. 前記樹脂のうち1つは電源電圧端子(Vcc)であり、他の1つは基準電圧端子(Vss)であることを特徴とする特許請求の範囲第18項記載の半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、例えば電子計算機システム等に收容される高密度モジュールの実装に適用して有効な技術に関するものである。

(従来の技術)

近年、半導体素子等の電子素子の実装密度を高めるため、多層基板技術を用いて電子素子を搭載するための基板を形成し、この基板の両面に半導体素子を装着し、基板の一端に外部電極を設けたSIP(シングル イン ライン パッケージ)構造のモジュールとして構成する。

上記多層基板形成技術については、例えば、株式会社サイエンスフォーラム、昭和58年11月28日発行、「超LSIデバイスハンドブック」p239～p250 記載されている。

例えば D R A M で構成されたメモリモジュール等のように基板の両面に面付形の半導体素子を複数装着して構成された S I P 構造の半導体装置においては、マザーボードあるいはソケットに対して垂直方向に実装する形式が一般的であった。

(発明が解決しようとする課題)

本発明者は、上記 S I P 構造のモジュールを構成した半導体装置における実装技術について次のような技術を検討した。

上記のような S I P 構造の半導体装置を垂直実装する場合、実装基板であるマザーボード上の空間を、モジュール基板の幅方向分の長さ、ソケットの長さ等を考慮して確保する必要がある。特に、計算機システム、マイコン等は高集積、小形化の傾向にあるため、半導体装置の実装高さの制限が厳しく、大きな問題となる。また、1つのシステム内に D I P (デュアル・インライン・パッケージ) や面実装タイプパッケージ (例えば D P P) と上記 S I P 構造のモジュールを実装する場合、S I P 構造モジュールは他のパッケージに比べて

素子やリードには、他からの (例えばマザーボード) 接触による不良等の影響が生じる。つまり、従来の両面実装の S I P 構造モジュールを斜めに実装する場合は、モジュール上方に十分な実装空間が必要であり、垂直に実装した場合の問題が実質的に克服できない。

更に、上記半導体装置が実装されたマザーボードを複数に実装する場合、上に位置するマザーボードの下面から、ソケットピン等の突出外部電極が、下に位置する半導体素子のリード (外部リード) と接触してショートしてしまい。この接触による不良を防止するために、上の基板裏面から突出した電極部を絶縁処理しなければならない。

本発明は、上記問題点を踏まえてなされたものであり、その目的は実装空間の高さ制限に対応した角度による斜め実装を可能とすることのできる技術を提供することにある。

本発明の 1 つの目的は、信頼性の高い高密度実装技術を提供することにある。

本発明の 1 つの目的は、大容量メモリに適した

高さがあるため、実際には他のパッケージの上方が無駄な空間となってしまい。

そこでこのような半導体装置の実装高さを低く抑えるために、上記半導体装置をマザーボードに対して斜め方向に実装する技術が考えられる。

ところが、基板に実装される半導体素子は高集積化および高機能化等に伴い、その外形的構造 (すなわちパッケージサイズ) が大形化する傾向にあり、このような大形半導体装置基板をマザーボード上において斜め方向に実装しようとした場合、パッケージの角部がマザーボードあるいは封止体等と接触状態となり、十分な斜め実装が困難となり、実装空間の高さ制限を実質的に克服できない場合が多い。

また、前記半導体素子は基板の両面に実装される場合、基板の外部電極が形成されていない側端部ギリギリに実装されている。そのため、半導体素子は基板側端部よりも高い場所に位置されることになる。そうすると、システム内に実装したり、マザーボードを複数に実装する際に、前記半導体

高密度なデバイスを提供することにある。

本発明の他の目的は、多数のメモリー・モジュールをコンパクトに実装できる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

(課題を解決するための手段)

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。

すなわち、基板の両面に半導体素子を装着する際に、一方の面上の半導体素子が他方の面上の半導体素子よりも基板の端面の外部電極から遠隔位置となるように装着した構造とするものである。

すなわち、前記モジュールの基板を斜めに傾むけてマザーボードに実装する際、下側に (つまりマザーボードに対面する側) 搭載される半導体素子は、基板の外部電極端子が形成されていない方の側面ギリギリまで実装されている。そして、基板の上側に搭載される半導体素子は、前記外部電

極端子に近接した位置に実装されている。

前記半導体素子が基板両面に実装された半導体装置は、主に汎用コンピュータやワークステーション等の大型機器に内蔵され、大容量メモリを構成する。そして、これらの機器は大きさに制限があるために、前記半導体装置を極力小さくする必要があった。

(作用)

前述した本発明によると、これらの要望を達成し、新規かつ次のような効果が得られる。

まず、上記した手段によれば、基板上の一方の面に装着一された半導体素子が他方の面の半導体素子よりも外部電極から遠隔位置に装着されているため、この面をマザーボードの実装面に対面させて深い角度での斜め実装を実現することができる。このため、高さ制限のある実装空間においても十分な角度をもった斜め実装が可能となり、両面実装メモリーモジュールによる半導体装置等の電子装置の空間実装密度を向上させることが可能となる。

り返しの説明は省略する。

第1図において、半導体装置1は、多層配線構造のプリント配線基板2の両主面2a, 2bにS O J (スモール アウトライン J-ベンドパッケージ)形状の半導体素子3a, 3bを複数個装着した構造のものであり、主として電子計算機等のメモリーモジュールとして使用されるものである。

第1図に示されるように、基板2の上面2aに実装される半導体素子3aは、下面2bに実装される半導体素子3bの対向位置から外部電極端子5に近接した位置にずらして装着されている。すなわち、従来の両面実装モジュールの場合、第1図の点線で示される位置に半導体素子3a'を実装していた。この従来の位置から、第1図のℓ-m分だけずらして実装したものが本発明の半導体装置1である。

上記構造の半導体装置1は、たとえば以下のようにして得ることができる。

上記基板2の両面2a, 2bに半導体素子3a, 3bが装着される。ここで、該半導体素子3a,

また、DIP型ICsやFP P型ICsと同じ空間に両面実装のSIP型メモリーモジュールを実装する場合、前記SIP型モジュールを十分に広く実装できるので、無駄な実装空間が縮小され、より小型の電子装置を得ることができる。

更に、基板の上面側に実装される半導体素子が、装着一基板(マザーボード)側に実装されることにより、他からの接触を有効に防止することができる。

更に、前記半導体装置が実装されたマザーボードを多段に実装する場合、上に位置するマザーボードの下面から突出したソケットピン等の外部電極が、下に位置する半導体素子のリードに接触しにくくなる。すなわち、マザーボード端面に絶縁処理をする必要がないので、工数低減となる。

(実施例)

以下、本発明の実施例を図面を用いて具体的に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰

3bは内部にメモリとし機能する半導体ベレットが内蔵されるとともに、プラスチックパッケージ6a, 6bの二側面方向からそれぞれパッケージの裏面方向にJ字状に加工されたリード4a, 4bが突出されたS O Jタイプパッケージである。

このような半導体素子3a, 3bの基板2への装着は、該半導体素子3a, 3bから突出されたJ字状のリード4a, 4bを、第5図に示す基板2上の電極パッド8a, 8bに対して半田等で固定することにより実現されている。

ところで、本実施例によれば、上記基板2上における半導体素子3a, 3bの装着位置は、基板2の一方の面2a上での半導体素子3aの装着位置が、他方の面2b上での半導体素子3bの装着位置と変位した部位に位置されている。すなわち、第1図では基板2の下面2b上における半導体素子3bの装着位置が基板2の外部電極端子5の先端からℓ(7.23mm以上)の距離の位置であるのに対して、基板2の上面2a上における半導体素子3aの装着位置は基板2の外部電極端子5の先

端から m ($3.17\text{ mm} < m < \ell$) の距離となっている。

つまり、本実施例では半導体装置 1 は、サブマザーボード 16 のボード面に対して所定角度 θ ($\theta < 90^\circ$) を傾いた状態で実装されているが、基板 2 において、このサブマザーボード 16 のボード面と対向する面 2b 側に装着一される半導体素子 3b は基板 2 の外部電極端子 5 からの距離 ℓ (7.23 mm 以上) が他面 2a 側の半導体素子 3a の装着一距離 m ($3.17\text{ mm} < m < \ell$) よりも大きく ($\ell < m$) になっている。

上記のように、基板 2 の上面側 2a に搭載する半導体素子 3a について、基板 2 の側端部から外部電極端子 5 の方へ $\ell - m$ 分だけずらした位置で装着一することにより、図示したように、 Δh 分だけ実装高さを低く抑えることができる。本発明における実装高さは h である。

第 2 図(a)は、前述の半導体装置 1 を上面 2a 側から見た実装図、

第 2 図(b)は、半導体装置 1 を下面 2b 側から見

である。

同図において、D1～D20 は各々、第 2 図に示された S U J タイプメモリ IC を示す。また、本実施例では $512\text{ K} \times 40\text{ bits}$ のメモリーモジュールのブロックダイアグラムを用いて説明したが、これに限定されるものではない。例えば、 256 K のメモリ IC を両面に計 16 個搭載したり ($512\text{ K} \times 32\text{ bits}$)、 256 K のメモリ IC を 4 段積層して 1 M の容量にした ICs を 16 個、20 個搭載する場合もある。

次に、本実施例で用いられる基板 2 の製造方法について第 5 図(a)～(d)を用いて説明する。

まず、第 5 図(a)に示す基板 2 の第一層目 10a を構成するガラスエポキシ樹脂板の主面に銅箔を被着した後、この銅箔を所定形状にエッチング加工して、所望の配線 9a を形成する。次に、上記エポキシ樹脂板の所定位直にドリル等でスルーホール 11a を形成し、このスルーホール 11a の内壁面に半田等の被着によってスルーホール配線を形成する。こうして上面 2a が完成する。

た図である。

同図において、基板 2 の上面 2a および下面には、半導体素子 3a、3b が装着一されており、この半導体素子 3a の下の中央部には面実装コンデンサ 18 がはんだ付け実装されている。また、基板 2 には位置決め用スルーホール 7 が形成されている。

ここで、例えば $L_1 = 107.95\text{ mm}$ 、 $L_2 = 25.4\text{ mm}$ 、 $L_3 = 3.0\text{ mm}$ 、 $L_4 = 0.3 \sim 0.5\text{ mm}$ である。

第 3 図は、第 2 図(a)に示した外部電極端子 5 の機能を示すピン配置図である。

RAS (ロウ アドレス ストローブ) はワード線の選択、CAS (カラム アドレス ストローブ) はカラムデコーダの選択を行なう。A0～A8 はアドレス入力ピン、WE はライトイネーブルピン、DQ はデータ入出力ピン、Vss・VDD (Vcc) は広義の電源端子であり、特に VDD (Vcc) は電源電圧端子、Vss は基準電圧端子とよぶ。

第 4 図は、本発明の半導体装置の具体的回路図

第 5 図(b)は基板 2 の第二層目 10b で、主にグランド配線層 (GND) として用いられ、第一層目と同様のプロセスを経て形成される。

第 5 図(c)は、基板 2 の第三層目 10c で、主に VDD (電源) として用いられ、上記と同様のプロセスを経て形成される。

第 5 図(d)は、基板 2 の第四層目 10d で、下面 2b を構成し、上記と同様のプロセスを経て形成される。

そして、上記のように加工を施したガラスエポキシ樹脂板を接着剤を介して積層して基板 2 を得る。

次に、上記の基板に実装するレジスタメモリ ICs について説明する。第 9 図は、第 1 図に示す半導体素子 3a、3b の S U J タイプ DRAM (ダイナミック・ランダム・アクセス・メモリー) の斜視図である。同図において、19 はモールド金型内においてトランスファーモールドされたレジスタ封止体であり、例えばエポキシ系樹脂からなる。樹脂 19 内には、主面に回路、外部端子が形

成されたSi単結晶からなる半導体ペレット22と、前記ペレットを、A8ペースト等の導電性接着剤21を介して搭載するためのタブ部17、前記外部端子とリード4を電気的に接続するための金属細線23(例えばAuワイヤ)が封止されている。20は、リード4の樹脂内に封止されるインナーリード部上のボンディング部に形成された銀メッキ部である。

また、SOLタイプパッケージに限らず、PLCC(プラスチックリーデッドチップキャリア)を実装したり、更には、半導体ペレットを多枚積層したモジュールICs、FPF(フラット・パッケージ・プラスチック)、LCC(リードレス・チップ・キャリア)等面実装タイプパッケージを実装できる。

第6図は、第1図で示した半導体装置とパソコン12内に実際に適用した時の斜視図である。

パソコン本体12は、機能の命令や文字の入力を行うキーボード13、文書処理や装置全体の総合的なコントロールをするシステム装置14、入

する位置に実装されている。そして、サブマザーボード16'に形成されたスルーホール27'に、ソケット25'のソケットピン26'を挿入実装し、メモリーモジュール28'が成る。

第8図(b)は、本発明の半導体装置1をソケット25に装着し、このソケット25を複数個マザーボード16に実装した場合のモジュール28の断面図であり、すなわち、第7図のX-X'線に沿った図である。このモジュール28は、主に大型コンピュータ、大型計算機システム装置に内蔵されている。そして、半導体装置1が装着されたソケット25に取り付けられた、信号を取り出すためのソケットピン26をサブマザーボード16に形成されたスルーホール27にはんだ等を介して差し込んで実装されている。サブマザーボード16の裏面、すなわち半導体装置1が実装されていない面にソケットピン26の先端は突き出している。ここで例えば、 $L_1 = 9.30\text{ mm}$ 、 $L_2 = 1.27\text{ mm}$ である。

第8図(a)、(b)を比較してわかるように、従来の

力した文字やメッセージを表示するディスプレイ装置15によって構成されている。本実施例における半導体装置1は、前記したシステム装置14に内蔵されている。

第7図は、第6図のシステム装置14に内蔵され、サブマザーボード16に実装された状態の半導体装置の拡大図である。

半導体装置1は、プラスチックのソケット25に装着される。そしてこのソケット25は、表面に所定の銅配線パターンが形成されているガラスエポキシ樹脂板からなるサブマザーボード16に実装される。前記半導体装置1の信号は、前記ソケット25、配線パターンを通じて、コネクタ端子部24から取り出される。更に、このコネクタ端子部24は、前記システム装置内の図示しないマザーボードの所定の電極と接続される。

第8図(a)は、従来の両面実装モジュール図、第8図(b)は、本発明の両面実装モジュール図である。

第8図(a)では、基板での両面にソケット25'に装着されない側に半導体素子3a'、3b'が相対

両面実装型メモリーモジュールをそのまま斜めに実装した場合よりも、明らかに、本発明による両面実装型メモリーモジュールで斜めに実装した方が、その実装高さが低く抑えられている。更に、サブマザーボード16下面から突出したソケットピン26の先端が、下段の半導体素子3aのリード4aとショートするのを有効に防止できているのがわかる。

次に、半導体素子3a、3bの実装プロセスを説明する。すなわち、半田と半田フラックスの混合物からなるハンダクリームを、フットプリント部8a、8bにスクリーン印刷により形成する。このクリーム状半田の上にチップコンデンサ18や、半導体素子3a、3bがそれぞれ片面に10個あるいは8個載置される。この状態で基板全体をリフロー法などの熱処理を施すことにより、リード4とフットプリント部8a、8bとの半田接続を行なう。

(発明の効果)

本願において開示される発明のうち代表的なも

のによって得られる効果を簡単に説明すれば、下記のとおりである。

まず、上記した手段によれば、基板上の一方の面に装着された半導体素子が他方の面の半導体素子よりも外部電極から遠隔位置に装着されているため、この面をマザーボードの裏装面に対面させて深い角度での斜め実装を実現することができる。このため、高さ制限のある実装空間においても十分な角度をもった斜め実装が可能となり、両面実装メモリーモジュールによる半導体装置等の電子装置の空間実装密度を向上させることが可能となる。

また、DIP型ICsやFPF型ICsと同じ空間に両面実装のSIP型メモリーモジュールを実装する場合、前記SIP型モジュールを十分低く実装できるので、無駄な実装空間が縮小され、より小型の電子装置を得ることができる。

更に、基板の上面側に実装される半導体素子が、装着基板(マザーボード)側に実装されることにより、他からの接触を有効に防止することができ

る。

更に、前記半導体装置が実装されたマザーボードを多段に実装する場合、上に位置するマザーボードの下面から突出したソケットピン等の外部電極が、下に位置する半導体素子のリードに接触しにくくなる。すなわち、マザーボード裏面に絶縁処理をする必要がないので、工数低減となる。

4. 図面の簡単な説明

第1図は、本発明である半導体装置を斜め実装する状態の断面図、

第2図(a)は、配線基板の上面に半導体素子を実装した様子を示す上面実装図、

第2図(b)は、配線基板の下面に半導体素子を実装した様子を示す下面実装図、

第3図は、前記配線基板の外部電極端子のピン配置図、

第4図は、前記半導体装置の回路機能を示すブロックダイアグラム図、

第5図は、前記半導体素子を実装するための4層構造配線基板のそれぞれの層の配線パターンを

示す平面図、

第6図は、半導体モジュール板を組み込んだシステムの斜視略図、

第7図は、前記半導体モジュール板を示す斜視図、

第8図(a)は、従来の両面実装モジュールを多段に実装した時の要部断面図、

第8図(b)は、本発明の両面実装モジュールを多段に実装した時の要部断面図、

第9図は、基板に装着される半導体素子の斜視図である。

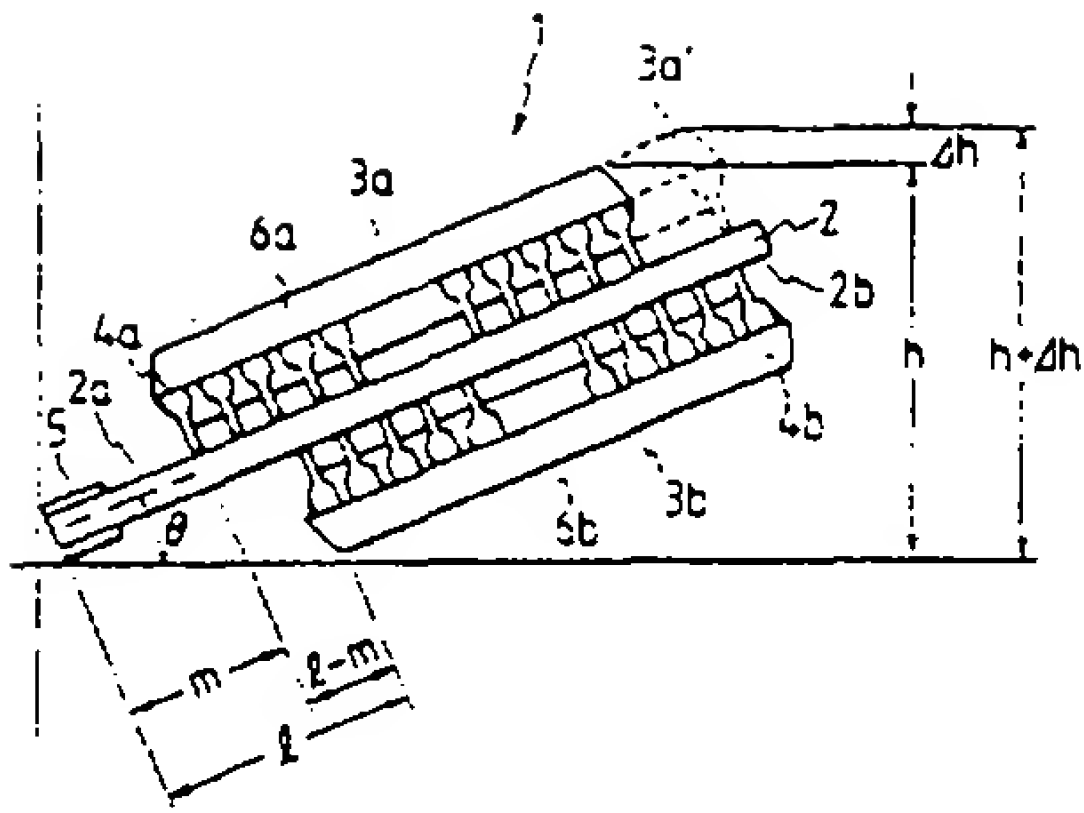
1…半導体装置、2…基板、3a、3b…半導体素子、4a、4b…リード、5…外部電極端子、7…位置決め用スルーホール、8a、8b…フットプリント部、11…スルーホール、12…パソコン、13…キーボード、14…システム装置、15…ディスプレイ装置、16…サブマザーボード、18…チップコンデンサ、19…樹脂、20…銀メッキ部、21…導電性接着剤、22…半導体ペレット、23…ワイヤ、24…コネクタ端子

部、25…ソケット、26…ソケットピン、27…スルーホール、28…メモリモジュール。

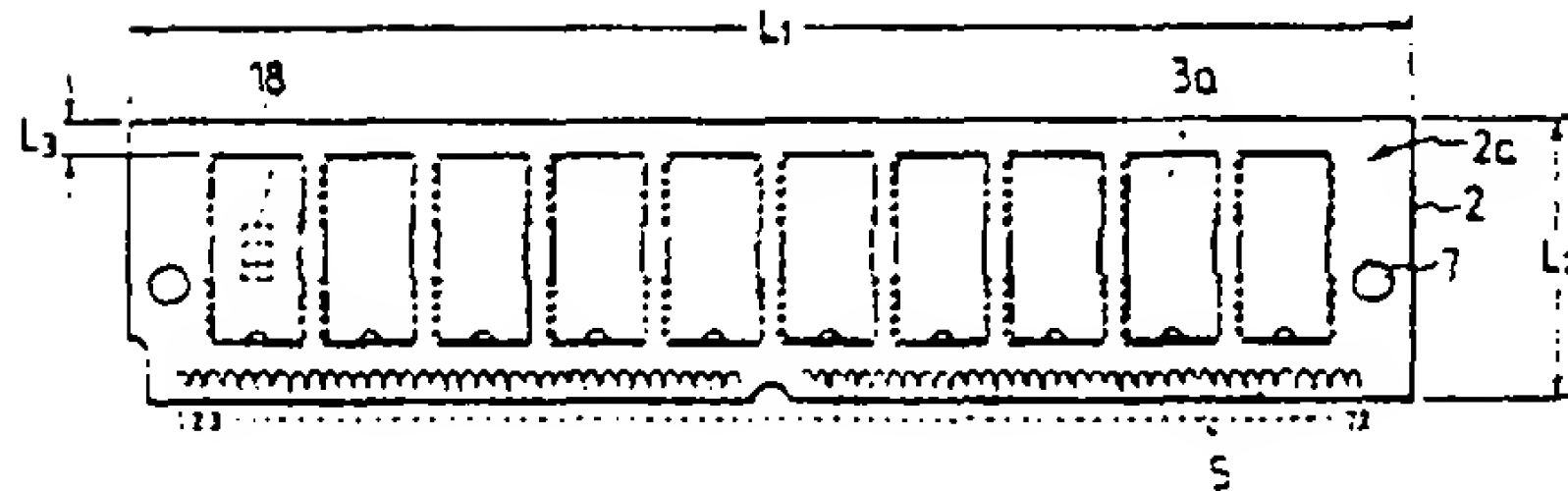
代理人 弁理士 小川 勝 男



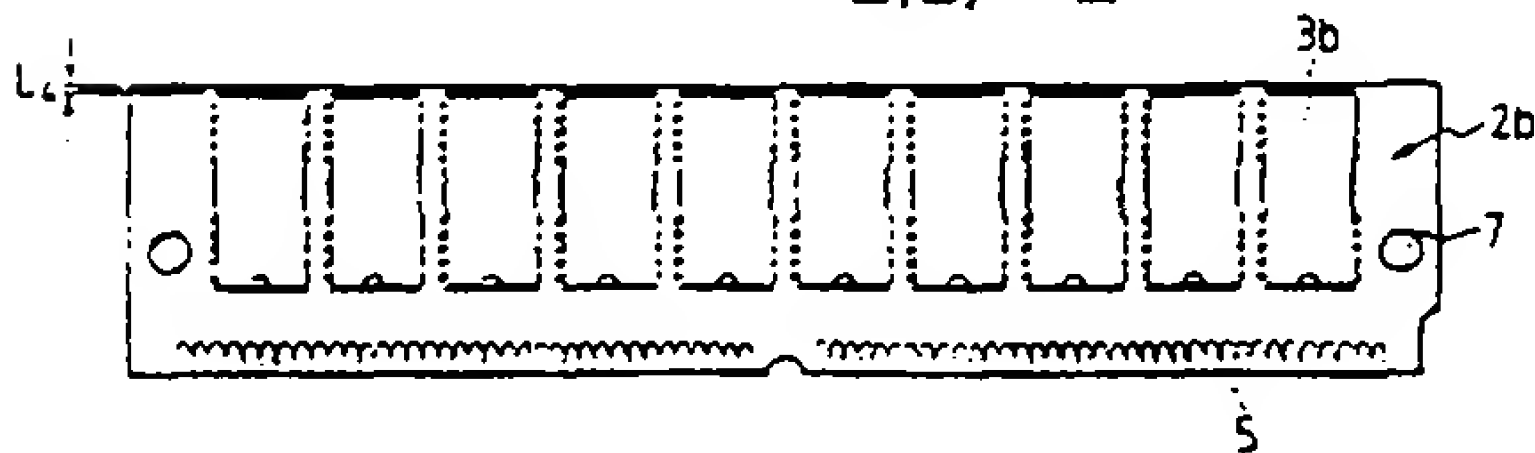
第 1 図



第 2(a) 図



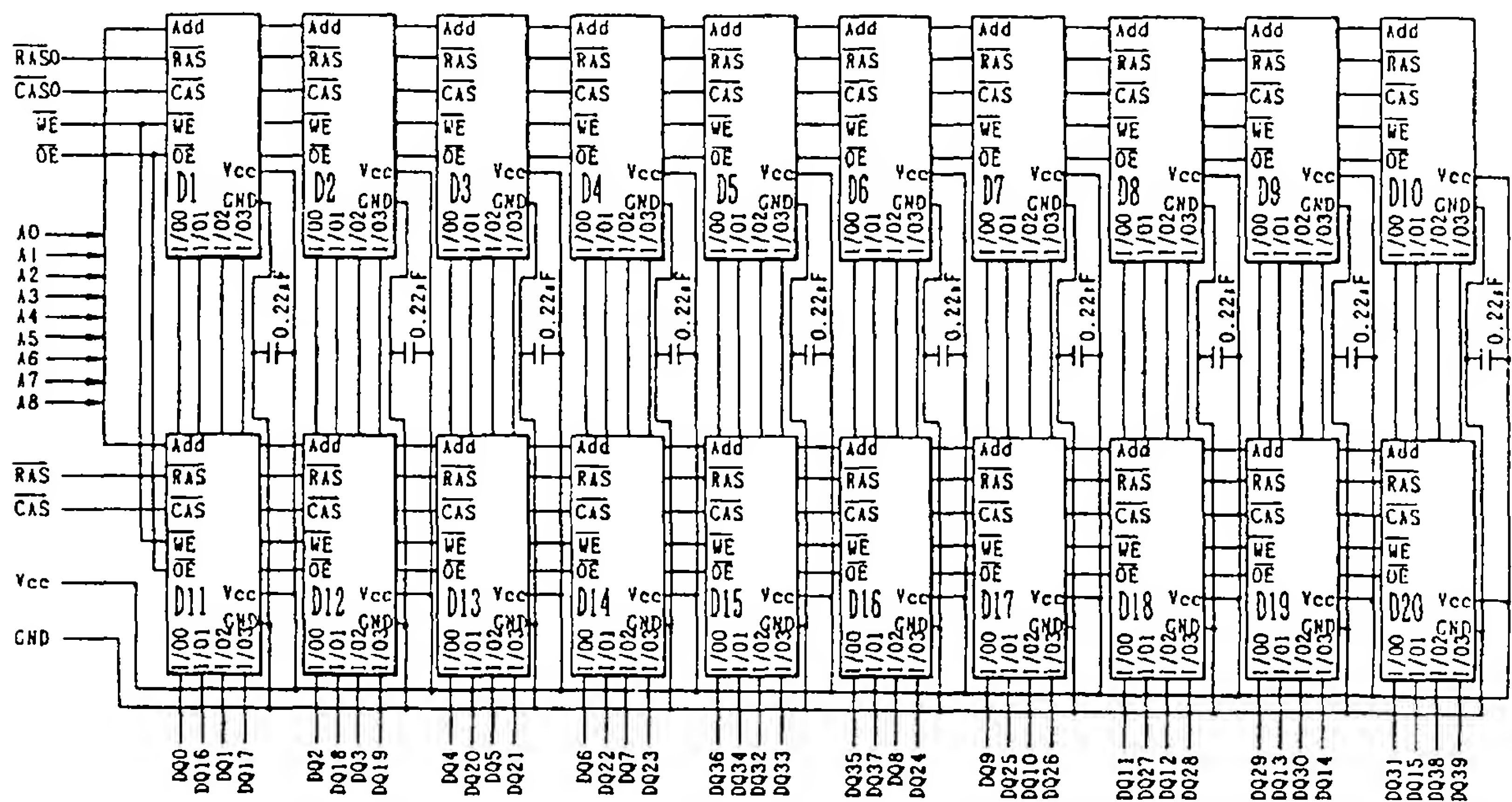
第 2(b) 図



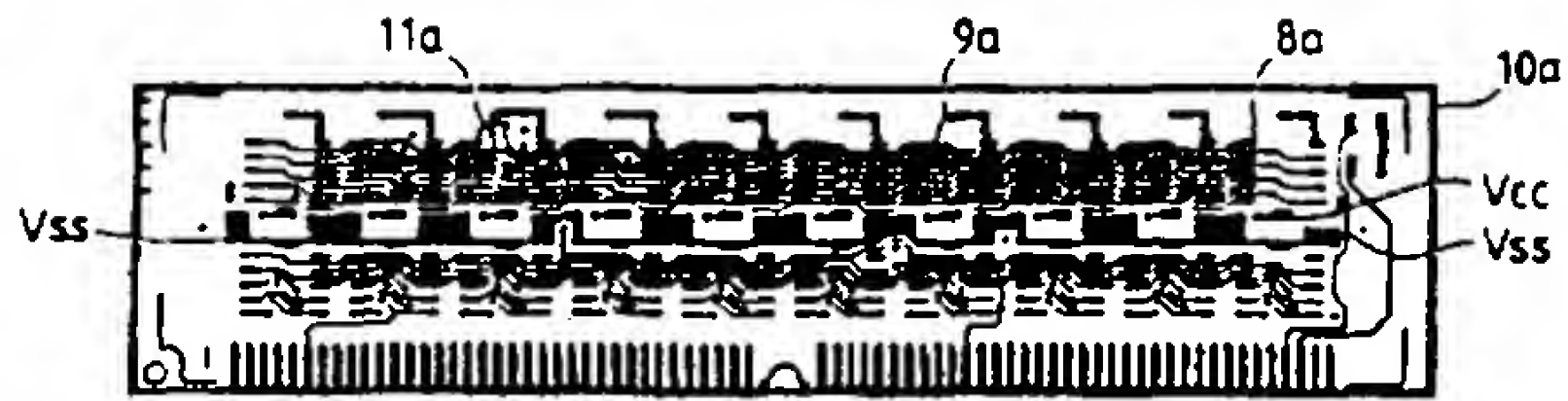
第 3 図

PINOUT			
PIN NO.	PIN NAME	PIN NO.	PIN NAME
1	Vss	37	DQ33
2	DQ0	38	DQ35
3	DQ16	39	Vss
4	DQ1	40	CAS0
5	DQ17	41	NC
6	DQ2	42	NC
7	DQ18	43	CAS1
8	C33	44	RAS0
9	DQ19	45	RAS1
10	VDD	46	DQ37
11	NC	47	WE
12	A0	48	GND
13	A1	49	DQ8
14	A2	50	DQ24
15	A3	51	DQ9
16	A4	52	DQ25
17	A5	53	DQ10
18	A6	54	DQ26
19	OE	55	DQ11
20	DQ4	56	DQ27
21	DQ20	57	DQ12
22	DQ5	58	DQ28
23	DQ21	59	VDD
24	DQ6	60	DQ29
25	DQ22	61	DQ13
26	DQ7	62	DQ30
27	DQ23	63	DQ14
28	A7	64	DQ31
29	DQ36	65	DQ15
30	VDD	66	DQ38
31	A8	67	NC
32	NC	68	GND
33	NC	69	NC
34	NC	70	GND
35	DQ34	71	DQ39
36	DQ32	72	Vss

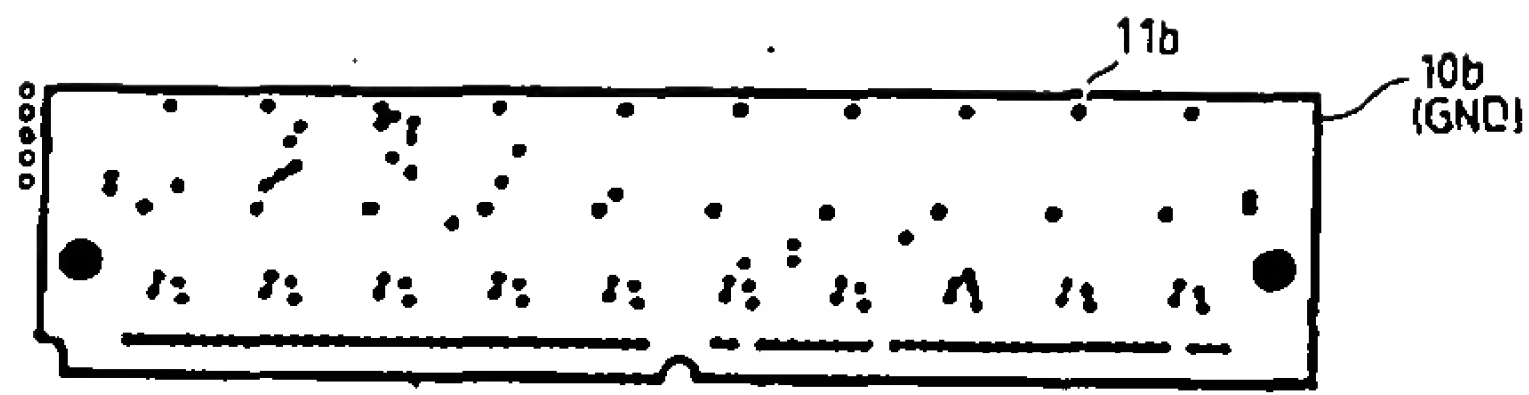
第 4 図



第 5(a) 図



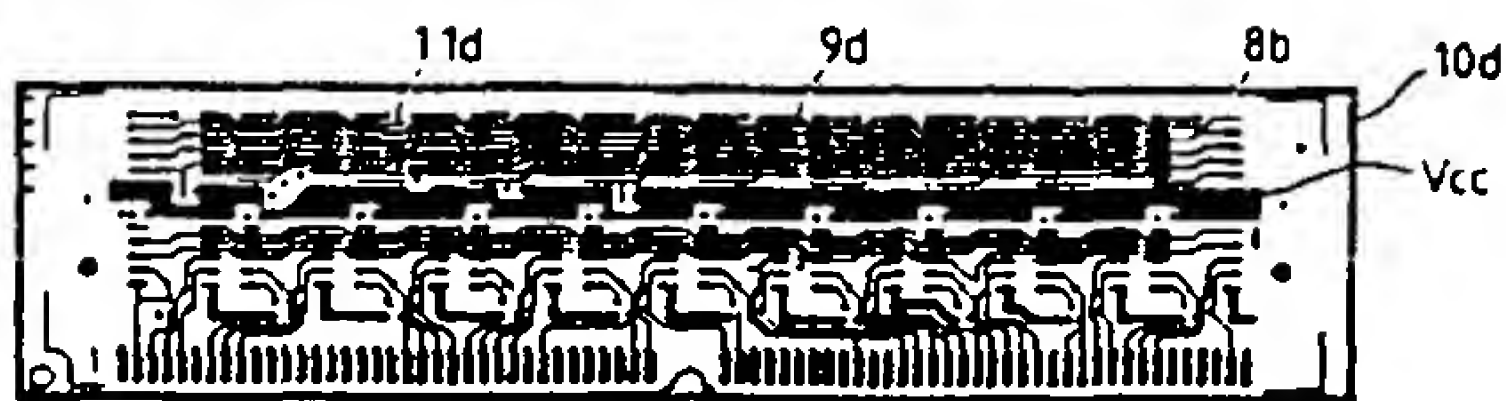
第 5(b) 図



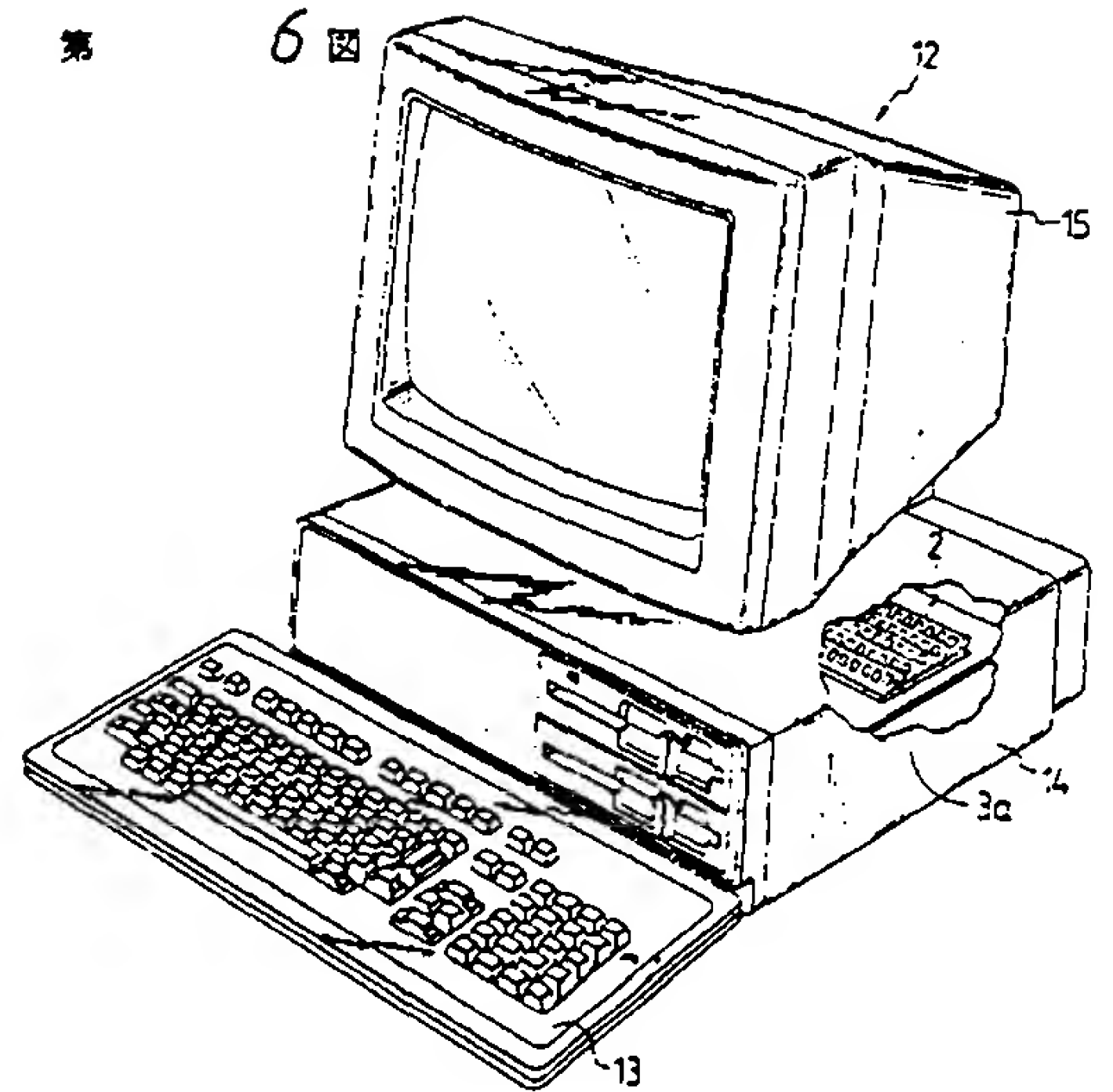
第 5(c) 図



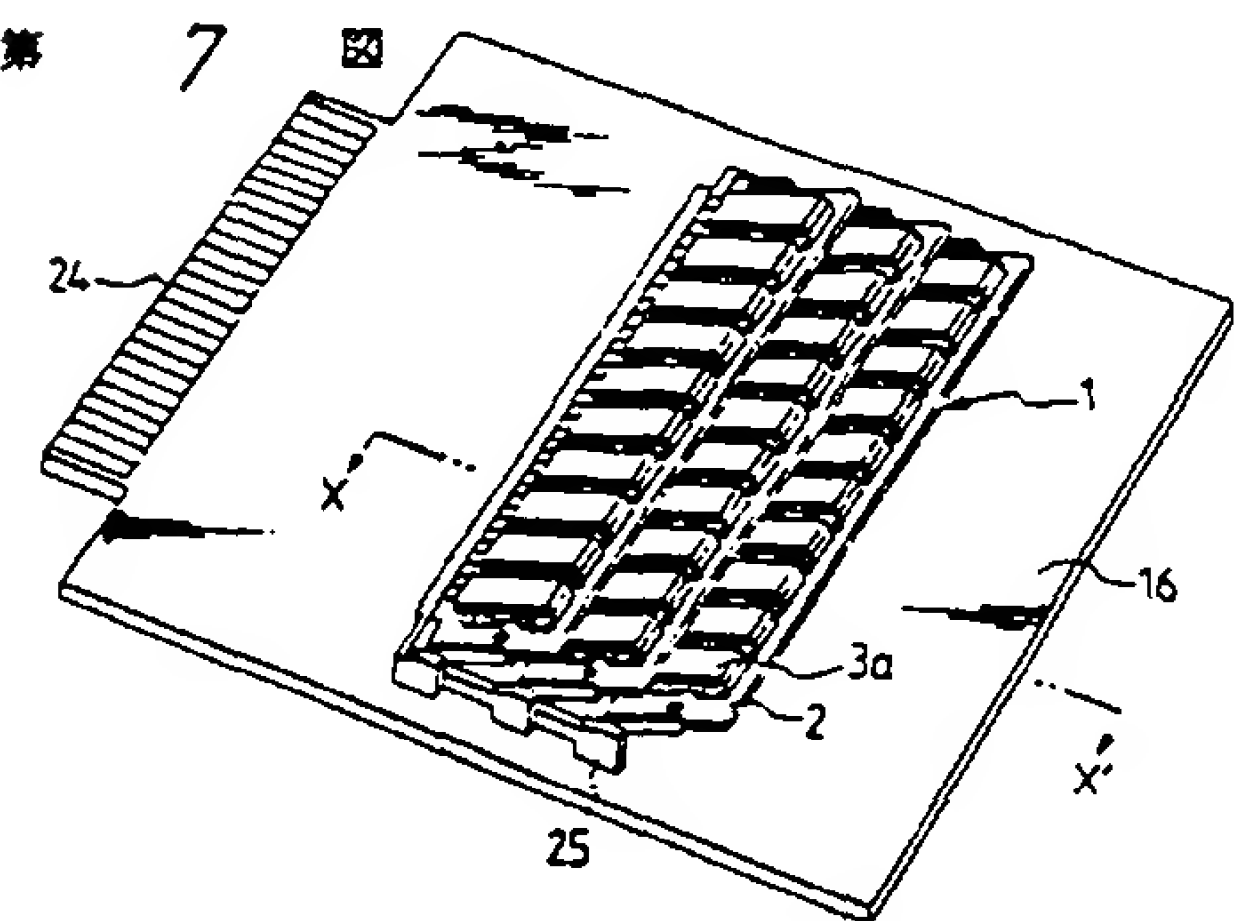
第 5(d) 図



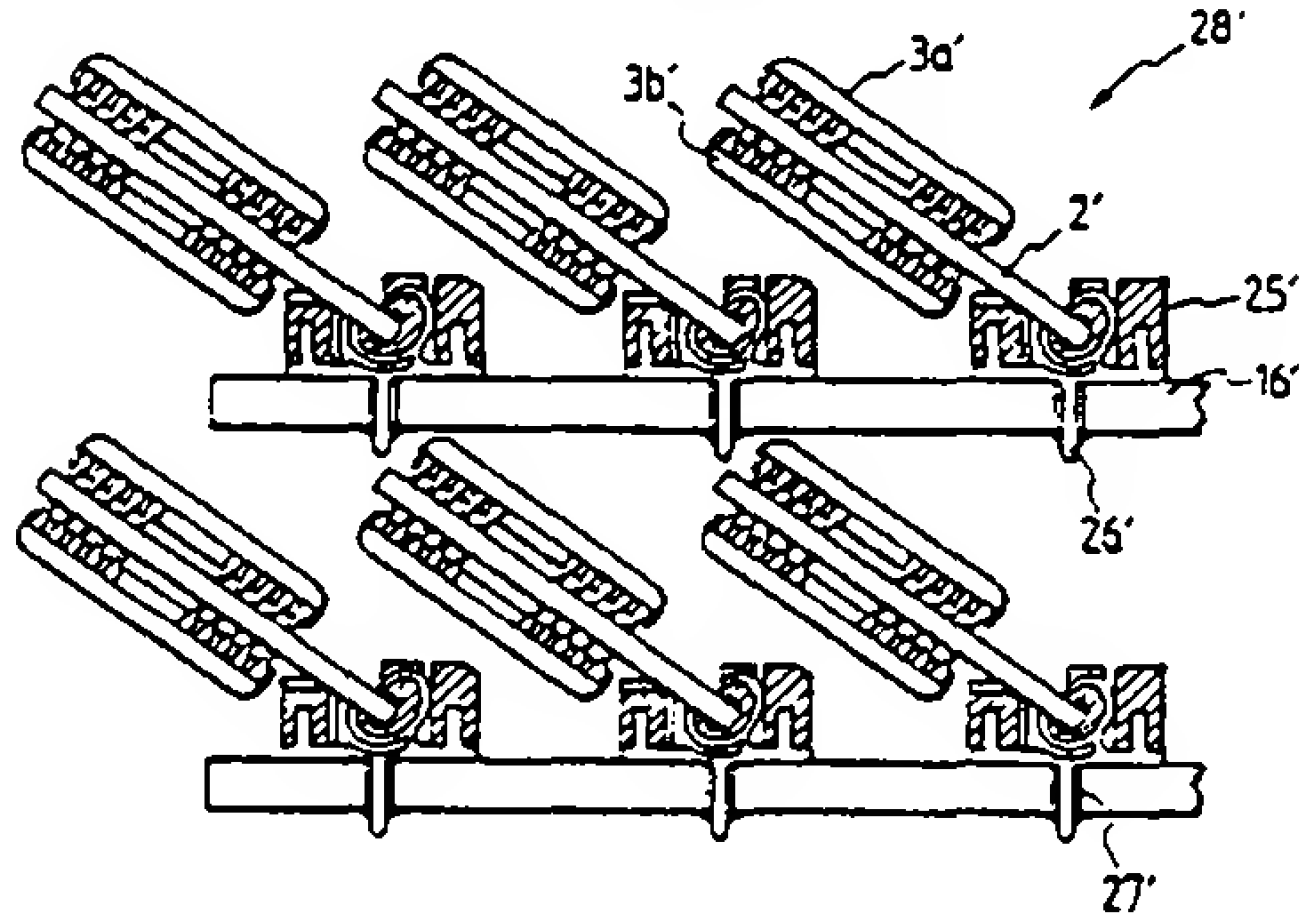
第 6 図



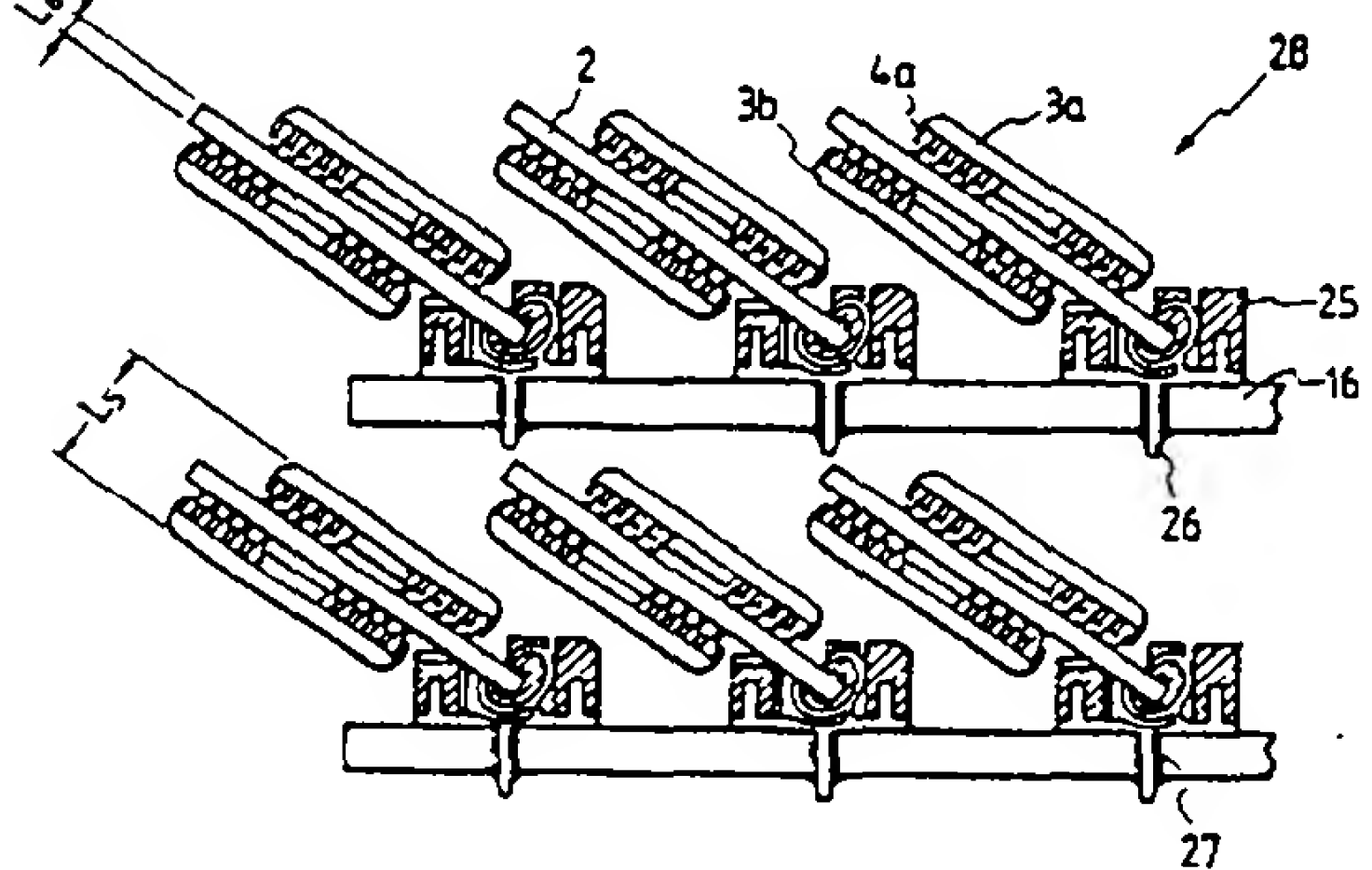
第 7 図



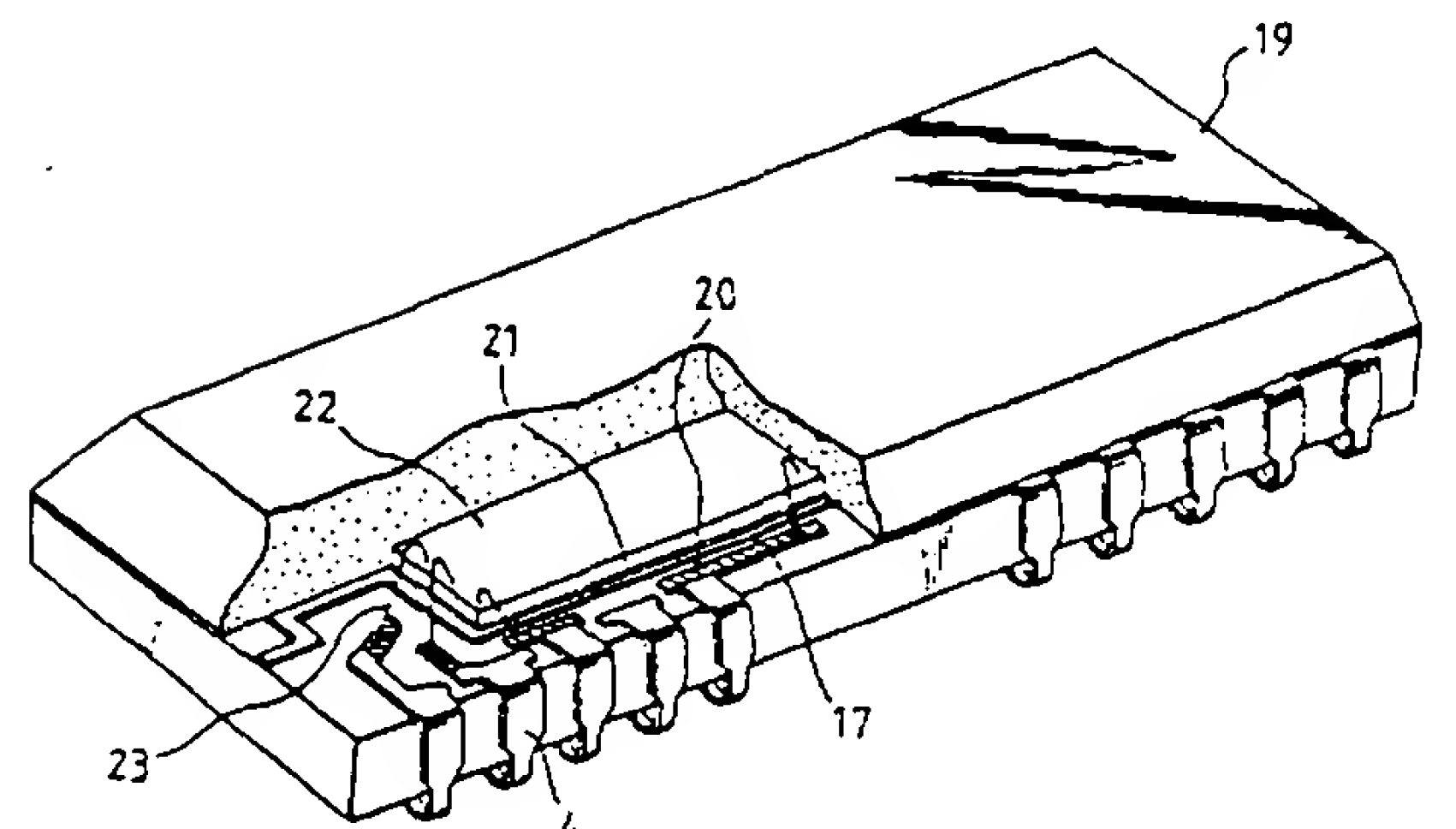
第 8(a) 図



第 8(b) 図



第 9 図



第 1 頁の続き

⑤Int. Cl. ⁵

識別記号

庁内整理番号

H 01 L 25/10
25/18